

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-145520

(43)Date of publication of application : 11.06.1993

(51)Int.Cl.

H04J 13/00

(21)Application number : 03-354146

(71)Applicant : OKABE KAZUO

(22)Date of filing : 19.11.1991

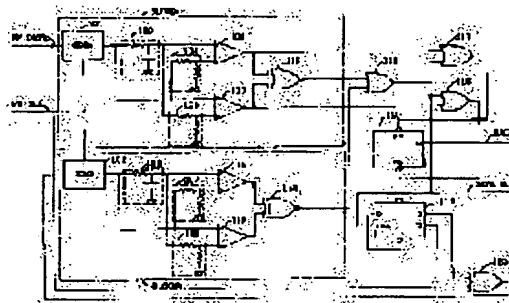
(72)Inventor : OKABE KAZUO

## (54) SPREAD SPECTRUM DATA DEMODULATOR

## (57)Abstract:

PURPOSE: To improve the reliability with inexpensive configuration by inverting an input at every other a piece of data, improving the deterioration in autocorrelation value of correlator caused by modulation in a complementary manner and eliminating an illegal gate signal other than a data deciding point.

CONSTITUTION: Spread data and a clock are inputted to the correlator (a) 101 and outputted through a data output register 119, a pulse synthesizer 113 and an OR circuit 115. A data clock is subjected to 1/2 frequency division by a 1/2 frequency divider circuit 116, a PN-DATA is subjected to phase inversion at every other a piece of data at an exclusive OR circuit 120 and the result is inputted to a correlator (b) 102. An undesired negative pulse output other than the data deciding point due to deterioration in the correlation by the correlators (a) 101, (b) 102 is eliminated at the OR circuit 115 based on an excellent negative pulse output without deterioration. Thus, the decision gate for data and the clock signal is secured and the reliability is improved with the inexpensive configuration.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-145520

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl.<sup>5</sup>

H 0 4 J 13/00

識別記号

庁内整理番号

F I

技術表示箇所

A 7117-5K

審査請求 未請求 請求項の数 1(全 4 頁)

(21)出願番号 特願平3-354146

(22)出願日 平成3年(1991)11月19日

(71)出願人 592015307

岡部 和夫

東京都東大和市新堀 2-1469-10

(72)発明者 岡部 和夫

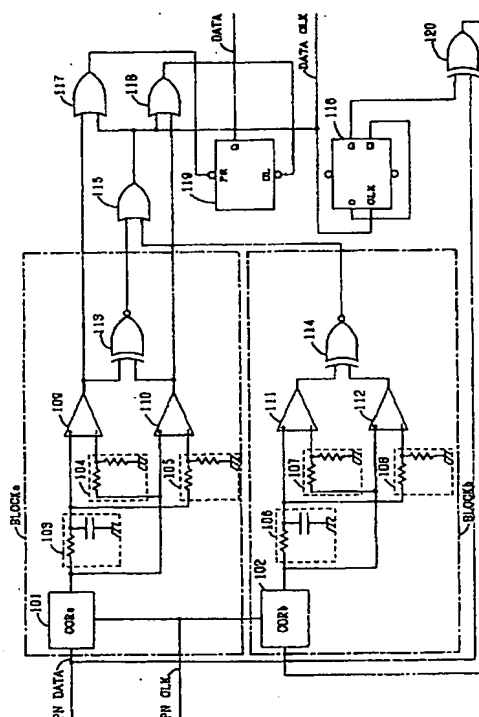
東京都東大和市新堀 2-1469-10

(54)【発明の名称】 スペクトル拡散データ復調装置

(57)【要約】

【目的】簡単な装置構成で高速同期するスペクトル拡散データ復調装置を安価に提供する事を目的とする。

【構成】複雑な符号同期回路をもたず、高速にデータを検出する第1のコリレータを使用してデータを出力する装置において第2のコリレータを使用し、その入力をデータ一つおきに反転して、変調によって生じるコリレータの自己相関値の劣化を相補的に改善し、データ判定点以外の不正なゲート信号を除去してデータ及びクロックの検出感度をより適正としたスペクトル拡散データ復調装置。



## 【特許請求の範囲】

【請求項1】 スペクトル拡散されたデータを検出する第1のコリレータとこのデータが1又は0に対応する正又は負の鋭い相関出力をそれぞれ基準電圧と比較して、出力する第1、第2のコンパレータと、これらのコンパレータの基準電圧をつくるための第1の平均値出力回路と、これらのコンパレータの入力がそれぞれ正及び負の相関出力パルスのみ検出し得るようコリレータ及び平均値出力回路の出力をそれぞれ調整する第1及び第2の分圧器と、前記2つのコンパレータの出力パルスを合成する第1のパルス合成器とから構成される第1のブロックと、この第1のブロックと同様に第2のコリレータ、第2の平均値出力回路、第3、第4の分圧器、第3、第4のコンパレータ、第2のパルス合成器で構成された第2のブロックと、第1又は第2のコンパレータ出力で前記データを出力するデータ出力レジスタと、第1及び第2のパルス合成器の負パルスの一致を検出しデータのクロックとする論理和回路と、この論理和回路の出力によってデータ出力レジスタへの前記第1及び第2のコンパレータ出力を制御する第1及び第2のデータ判定ゲートと、前記論理和回路の出力の2分周回路と、この2分周回路の出力と前記第1のコリレータの入力との排他的論理和回路とから構成され、前記第1のコリレータの入力をデータの二つおきに正負反転して前記第2のコリレータに入力し、鋭い相関点以外においてデータが1から0、又は0から1に変化するときに生じる相関値の劣化を第1のコリレータのそれと相補的に改善し、データ判定点以外の不正なゲート信号を除去してデータ及びクロックの検出感度をより適性としたスペクトル拡散データ復調装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は悪伝ぱん環境下又は秘話の目的等でM系列符号又はゴールド符号等いわゆる疑似雑音信号を使用して、広い周波数範囲にスペクトルを拡散すると共にデータに対応してその符号列を正負反転して伝送するシステムにおけるスペクトル拡散データ復調装置に関する。

## 【0002】

【従来の技術】 従来から使用されている遅延ロックループの拡散信号同期装置を使用した受信装置を図3に示す。受信拡散データであるPN DATAは掛算器301、302及び303にそれぞれ入力される。掛算器301には受信PN DATAに同期したPN CODEも入力されて掛算され、データに対応して0、 $\pi$ 位相変調されたPN DATAを復調し、低域フィルタ(LPF)を通してデータが再生される。掛算器302及び303には上記PN CODEに対し+1、及び-1クロックシフトしたコードが入力されて掛算される。通常これらの掛算器は、この二つの掛算器共無相関のため出力

を生じないが、二つの入力位相が接近すると出力を生じ、低域フィルタ305、306及び絶対値回路309、310でクロックの正規位相からの偏移の絶対値に比例して誤差信号を出力し、減算回路308でクロック位相の正負を弁別し、低域フィルタを通して拡散クロック発生器312の位相を制御して、PN CODE発生器311を正しい位相で駆動する自動位相制御回路である。

## 【0003】

【発明が解決しようとする課題】 しかしながら、前記装置は初期符号同期において符号発生器のクロックを受信拡散データのクロックと若干周波数を変えて符号の一致点を見出す必要があるために時間を要し、又誤同期を起こすこともあり、回路も複雑で高価であった。

## 【0004】

【課題を解決する為の手段及び作用】 本発明は、コリレータに受信拡散データを入力し拡散クロックで駆動したとき、データの1、又は0に対応して0、又は $\pi$ 位相偏移された拡散データのときは、正又は負の鋭い相関出力を出すことを利用して、複雑な符号同期回路を有さないで直接データ及びそのクロックを出力し得るようにしたものである。すなわち疑似雑音符号系列が繰り返しコリレータに入力された場合参照符号(特定のクロックタイミングにおける拡散符号1周期の符号列)と照合されて、符号の一周期にただ一回のみすべての符号が一致して大きな出力が生じる。しかしながらデータが1又は0の連続であれば、鋭い相関出力を出す一つのクロックタイミング以外は相関のない一定値の良好な出力を保つが、データが1から0、又は0から1に変化した場合コリレータ出力は鋭い相関パルス点以外においても変動して劣化する。

【0005】 この出力の変動はデータの検出感度を低下させるため、第2のコリレータではデータの二つおきに入力を反転しデータが1又は0を判定する鋭い相関パルスの出力タイミングは同一とし、第1のコリレータの出力が変動する場合には第2のコリレータの出力では変動しないようにする。この二つのコリレータは相補的に良好な出力を出すため、データが1又は0が連続するときに、鋭い相関パルスを検出するときと同じコンパレータのバイアスを設定する。二つのコンパレータの出力が同時に出力するときのみ出力して、第1のコリレータの相関パルスの正負判定ゲートとし、二つの出力のうち良好な相関出力を切り替え使用してデータ判定のゲートを得ることを特徴としている。

## 【0006】

【実施例】 本発明の実施例を図1により説明する。受信拡散データであるPN DATA及び拡散クロックであるPN CLKがコリレータa101に入力され、データに対応して正又は負の鋭い相関パルスを含む出力の一部は平均値出力回路a103により平均値に整流され分

圧器a104、分圧器b105を通してコンパレータa109、コンパレータb110に入力されて、データが1又は0に対応してコンパレータa109又はコンパレータb110から負パルスを出し、データ出力レジスタ119をデータに対応して1又は0とする。

【0007】データクロックであるDATA CLKはコンパレータa109又はコンパレータb110いずれの負パルス出力もパルス合成器a113で加えられ出力される。なお、平均値出力回路103aは固定バイアスに置き換えてもよく、その場合は分圧器は不要となる。パルス合成器は排他的論理和回路に否定回路を継続するか、又は論理積回路でも同じ動作をする。データのクロックは2分周回路116で2分周され、排他的論理和回路120によりPN DATAのデータの二つおきに位相反転されてコリレータb102に入力され、以後の動作はコリレータa101の系統と同じであり、各データクロックごとにパルス合成器a113、パルス合成器b114共負パルスを出し、コリレータa101又はコリレータb102で相関値劣化に起因するデータ判定点以外の不要な負パルス出力は劣化のない側の良好な負パルス出力により、論理和回路115で除去されてデータおよびクロックの判定ゲートを確定する。以上コンパレータ出力を負パルスとして構成したが、正パルスとしても構成することができる。

【0008】次に図2によりデータ検出改善の動作を説明する。拡散符号の一周期でただ一度鋭い相関点を持ち、その他の点では相関性のない一定値を示すM系列符号でも拡散符号の一周期にデータの1ビットを割りつける位相変調をすると、データの変化したとき自己相関値は劣化し図1のコリレータa101の出力波形は、データが101001を想定したとき、図2の上側のCORa OUTのようになり、データ1又は0の鋭い相関のパルスを出しているにもかかわらず、鋭い相関点以外で自己相関値の劣化に加えて伝送路の影響等からデータ検出の信頼性が低下する。

【0009】図2の下側に示す波形CORb OUTは図1のコリレータ102の出力を示すもので、鋭い相関点のタイミングは上側と全く同じであり、上側波形で自己相関値の劣化した部分は下側では改善され、データの同一符号が続く相関値劣化のない期間では下側波形はその逆に劣化する。この相補的な動作はデータクロックを2分周して拡散データの位相を1データごとに反転することにより実現する。これはデータの変化点で受信拡散符号列が逆転しているのをさらに反転して同一符号列

に戻してコリレータに入力するためである。この鋭い相関パルスをバイアスBIAS1, 2, 3, 4で検出するとき、例えば期間Tではバイアス1, 2よりバイアス3, 4の方がより信頼性のあるデータ判定ゲートを期待し得る。バイアスの設定は分圧器を使用して、コリレータの出力及び平均値出力回路の電圧を調整してなされるが上側、下側いずれの波形も相関値劣化がないものとしてなされる。このような設定により相関値劣化のあるバイアス1, 2では鋭い相関点以外で誤りのパルスを出し、論理和回路を使用して誤りのパルスを除去し、良好な判定ゲートを得ることができる。

#### 【0010】

【発明の効果】以上述べたように本発明によれば回路規模をほとんど拡張することなく簡単な構成でデータ検出の信頼性を向上し、安価にスペクトル拡散データ復調装置を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明一実施例に係わるスペクトル拡散データ復調装置のブロック図

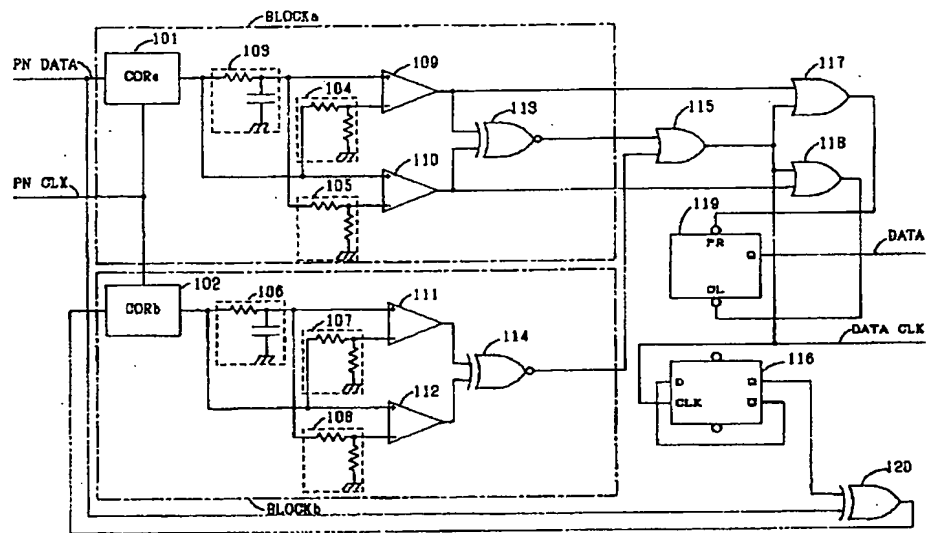
【図2】二つのコリレータ出力の特徴を表す図

【図3】従来のスペクトル拡散データ復調装置を示すブロック図

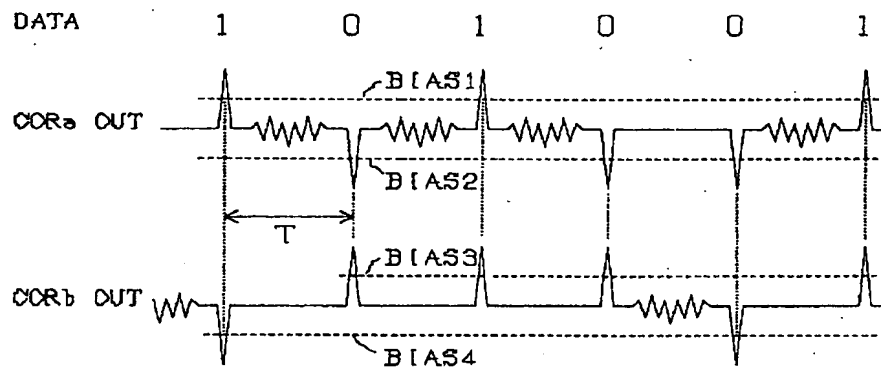
#### 【符号の説明】

101…コリレータa (CORa)、102…コリレータb (CORb)、103…平均値出力回路a、106…平均値出力回路b、104…分圧器a、105…分圧器b、107…分圧器c、108…分圧器d、109…コンパレータa、110…コンパレータb、111…コンパレータc、112…コンパレータd、113…パルス合成器a、114…パルス合成器b、115…論理和回路、116…2分周回路、117…データ判定ゲートa、118…データ判定ゲートb、119…データ出力レジスタ、120…排他的論理和回路、BLOCKa…ブロックa、BLOCKb…ブロックb、PN DATA…受信拡散データ、PNCLK…拡散クロック、DATA…データ、DATA CLK…データクロック、CORa OUT…コリレータaの出力、CORb OUT…コリレータbの出力、BIAS1, 2, 3, 4, …バイアス1, 2, 3, 4 301, 302, 303…掛算器、304, 305, 306, 307…低域フィルタ (LPF)、308…減算回路、309, 310…絶対値回路、311…PN CODE発生器 (PN GEN)、312…拡散クロック発生器 (VCO)。

【図 1】



【図 2】



【図 3】

